

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-213922

(43)Date of publication of application : 05.08.1992

(51)Int.Cl.

H03M 7/00

(21)Application number : 02-401463

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 12.12.1990

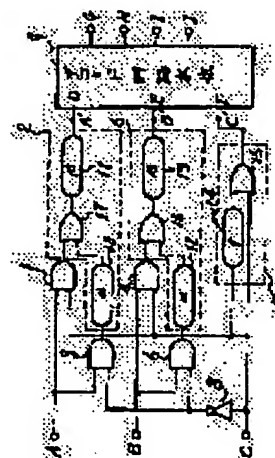
(72)Inventor : SHIGIYOU MICHINAGA

(54) DECODE CIRCUIT

(57)Abstract:

PURPOSE: To prevent spike noise from being caused in an output signal even when an input signal and a strobe signal are changed simultaneously by devising a decode circuit main body to receive an output of a delay adjustment circuit and providing a strobe input signal input terminal controlling an output signal of the circuit main body on the decode circuit.

CONSTITUTION: Input signals A, B are inputted to a level detection circuit comprising AND gates 1, 3, 4, 6 and its output is inputted to a delay adjustment circuit 7 comprising a delay gate 14 having a delay γ ; and an OR gate 15. Output signals of level detection circuits 1, 3, 4, 6 are respectively inputted to delay adjustment circuits 2, 5 having a different delay and output signals A', B' are inputted to D, E inputs of a decode circuit 9 with a strobe signal. Then an output signal C' of the delay adjustment circuit 7 is inputted to a strobe signal F of the decode circuit main body with a strobe signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-213922

(43) 公開日 平成4年(1992) 8月5日

(51) Int.Cl.⁵

H 0 3 M 7/00

識別記号

庁内整理番号

8836-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 3 頁)

(21) 出願番号

特願平2-401463

(22) 出願日

平成2年(1990)12月12日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 執行 倫永

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

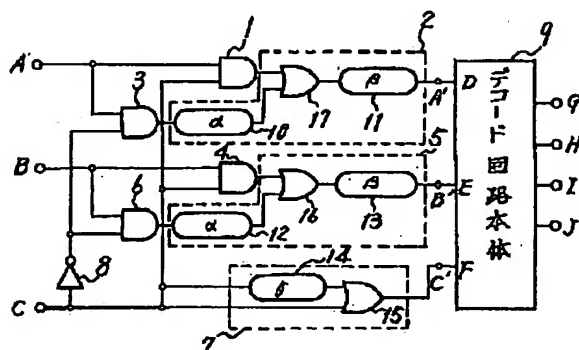
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 デコード回路

(57) 【要約】

【構成】 入力信号A, Bのレベル検出を行うレベル検出回路を設け、この回路の出力値によってそれぞれ遅延時間 α , β , γ を調整させる遅延調整回路2, 5, 7を設け、この回路の出力信号を入力とするデコード回路本体を設け、この回路本体の出力信号を制御するストローブ信号入力端子を設ける。

【効果】 入力信号とストローブ信号とが同時変化を起しても、出力信号にスパイク・ノイズを発生させない。



【特許請求の範囲】

【請求項1】 複数の入力信号のレベル検出をそれぞれ行うレベル検出回路と、前記レベル検出回路の出力値によってそれぞれ遅延時間を調整させる遅延調整回路と、前記遅延調整回路の出力信号を入力とするデコード回路本体と、前記デコード回路本体の出力信号を制御するストローブ信号入力端子とを備えることを特徴とするデコード回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデコード回路に関し、特にデジタル信号のストローブ信号付デコード回路に関する。

【0002】

【従来の技術】 一般にストローブ信号付デコード回路の出力は、フリップ・フロップのクロック信号、ラッチのゲート信号として用いられることが多く、スパイク・ノイズのない信号が要求される。

【0003】 従来のストローブ信号付デコード回路の一例を図3、その動作を説明するタイミング図を図4に示す。

【0004】 図3において、NANDゲート32～35とインバータ30、31とにより構成されるデコード回路を設け、前記デコード回路の出力信号を制御する回路をORゲート36～39により構成している。

【0005】 入力信号K、Lの組合せにより、出力信号N、O、P、Q内の1本が選択される。また、入力信号Mは本デコード回路の出力信号をイネーブル状態、もしくはディセーブル状態にするためのストローブ信号である。

【0006】

【発明が解決しようとする課題】 このような従来のストローブ信号付デコード回路では、図4のタイミング図に示すように、入力信号K、ストローブ信号M、もしくは入力信号L、ストローブ信号Mが同時に変化を起す場合、そほ変化時間のずれにより、本来期待していない出力にスパイク・ノイズ40、41が発生してしまい、デコード回路の後段にある回路が誤動作を起こすという問題点があった。

【0007】 本発明の目的は、入力信号とストローブ信号が同時変化を起こしても、出力信号にスパイク・ノイズが発生しないようにしたデコード回路を提供することにある。

【0008】

【課題を解決するための手段】 本発明のデコード回路の構成は、複数の入力信号のレベル検出をそれぞれ行うレベル検出回路と、前記レベル検出回路の出力値によってそれぞれ遅延時間を調整させる遅延調整回路と、前記遅延調整回路の出力信号を入力とするデコード回路本体と、前記デコード回路本体の出力信号を制御するストロ

ーブ信号入力端子とを備えることを特徴とする。

【0009】

【実施例】 図1は本発明の一実施例のストローブ信号付デコード回路のブロック図、図2は図1の動作を示すタイミング図である。

【0010】 図1において、入力信号A、BはANDゲート1、3、4、6からなるレベル検出回路に入力され、遅延量 γ を持ったディレイ・ゲート14とORゲート15とからなる遅延調整回路7に入力される。前記レベル検出回路1、3、4、6の出力信号は、遅延調整回路2、5に入力され、前記遅延調整回路2、5の出力信号A'、B'がストローブ信号付デコード回路9のD、E入力に入力され、前記遅延調整回路7の出力信号C'はストローブ信号付デコード回路本体9のストローブ信号Fに入力される。

【0011】 遅延調整回路2は、遅延量 β なるディレイ・ゲート11と、遅延量 γ なるディレイ・ゲート10と、ORゲート17とを有する。

【0012】 遅延調整回路5は、遅延量 β なるディレイ・ゲート13と、遅延量 γ なるディレイ・ゲート12と、ORゲート16とを有する。

【0013】 また、遅延調整回路2、5、7を構成しているディレイ・ゲート10、11、12、13、14はそれぞれ α 、 β 、 α 、 β 、 γ の遅延量を持ち、 $\alpha + \beta < \gamma$ となっている。

【0014】 以下、このストローブ信号付デコード回路について、図2のタイミング図を用いて説明する。

【0015】 図2において、図1の入力信号A、B、C、ディレイ・ゲート2、5、7の出力信号A'、B'、C'、デコード回路9の出力信号G、H、I、Jの各波形が示されている。

【0016】 図2において、入力信号Aが、“0”から“1”に変化し、入力信号Cが“0”から“1”に変化した時は、入力信号AはANDゲート1→回路2を通過してストローブ信号付デコード回路本体9に入力される。このとき出力信号C'は、出力信号A'が“0”から“1”に変化するよりも前に“0”から“1”に変化しているので、出力信号G、H、I、Jはすべて“1”となり、スパイク・ノイズは発生しない。

【0017】 また、入力信号Cが“1”から“0”に変化し、入力信号Bも“1”から“0”に変化した時は、入力信号BはANDゲート6→回路5を通過してストローブ信号付デコード回路本体9に入力される。この時出力信号C'は、まだ“1”の状態を保持しているので、スパイク・ノイズは発生しない。

【0018】

【発明の効果】 以上説明したように、本発明は、入力信号とストローブ信号とが同時変化を起こしても、出力信号にスパイク・ノイズを発生させないという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のデコード回路を示すブロック図である。

【図2】図1のデコード回路の各部の動作状態を示すタイミング図である。

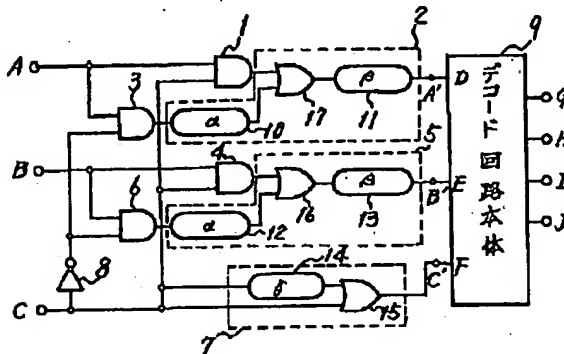
【図3】従来のストローブ信号付デコード回路を示すブロック図である。

【図4】図3の入力、出力のタイミング図である。

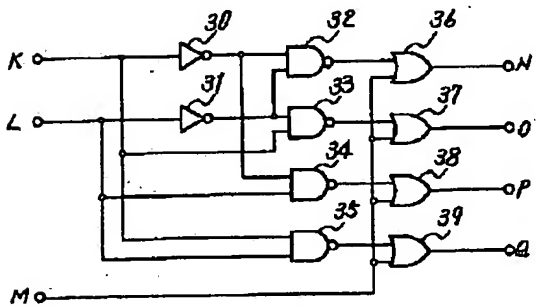
【符号の説明】

- 1, 3, 4, 6 レベル検出回路
- 2, 5, 7 遅延調整回路
- 8 インバータ
- 9 ストローブ信号付デコード回路本体
- 10, 12 遅延量 α を持ったディレイ・ゲート
- 11, 13 遅延量 β を持ったディレイ・ゲート
- 14 遅延量 γ を持ったディレイ・ゲート

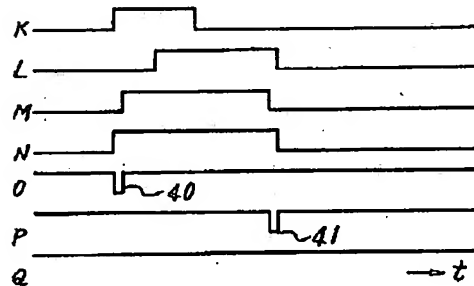
【図1】



【図3】



【図4】



【図2】

